

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.

013590463 \*\*Image available\*\*

WPI Acc No: 2001-074670/200109

XRPX Acc No: N01-056836

MOSFET construction over glass substrate as part of active matrix TFT array, employs low concentration dopant implantation procedure to form source/drain zones using gate electrode as intermediate mask

Patent Assignee: SHARP KK (SHAF )

Inventor: KATO S; ODA A; OGAWA H

Number of Countries: 004 Number of Patents: 006

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2000294787	A	20001020	JP 9995613	A	19990402	200109 B
US 6235558	B1	20010522	US 2000540218	A	20000331	200130
KR 2001006941	A	20010126	KR 200016878	A	20000331	200152
KR 350112	B	20020824	KR 200016878	A	20000331	200313
TW 485561	A	20020501	TW 2000105793	A	20000329	200318
JP 3403115	B2	20030506	JP 9995613	A	19990402	200330

Priority Applications (No Type Date): JP 9995613 A 19990402

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 2000294787	A		9	H01L-029/786	
US 6235558	B1			H01L-021/335	
KR 2001006941	A			H01L-029/786	
KR 350112	B			H01L-029/786	Previous Publ. patent KR 2001006941
TW 485561	A			H01L-021/77	
JP 3403115	B2		8	H01L-021/336	Previous Publ. patent JP 2000294787

Abstract (Basic): JP 2000294787 A

NOVELTY - A semiconductor layer enclosing low concentration dopant zones (5) is formed on the substrate (1). A gate electrode (7) on the insulation serves as the mask for the subsequent formation of high concentration dopant zones (11). Side flanks of the gate electrode are electrolytically oxidized to generate an oxide layer (10) to be removed later to define the low/high concentration dopant boundaries eitherside.

USE - Active matrix array forming TFTs over glass substrate serve as drives for LCD displays.

ADVANTAGE - Leads to TFT structure with stable, uniform performance characteristics.

DESCRIPTION OF DRAWING(S) - The figure shows the sectional view of MOSFET construction.

Substrate (1)

Low concentration dopant zone (5)

Gate electrode (7)

Oxide layer (10)

High concentration dopant zone (11)

pp; 9 DwgNo 3/7

Title Terms: MOSFET; CONSTRUCTION; GLASS; SUBSTRATE; PART; ACTIVE; MATRIX;  
TFT; ARRAY; EMPLOY; LOW; CONCENTRATE; DOPE; IMPLANT; PROCEDURE; FORM;  
SOURCE; DRAIN; ZONE; GATE; ELECTRODE; INTERMEDIATE; MASK

Derwent Class: U11; U12

International Patent Class (Main): H01L-021/335; H01L-021/336; H01L-021/77;  
H01L-029/786

International Patent Class (Additional): H01L-021/336

File Segment: EPI

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

06708955    \*\*Image available\*\*

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.:        2000-294787 [JP 2000294787 A]

PUBLISHED:      October 20, 2000 (20001020)

INVENTOR(s):    ODA AKIHIRO

                 KATO SUMIO

                 OGAWA HIROYUKI

APPLICANT(s):   SHARP CORP

APPL. NO.:      11-095613 [JP 9995613]

FILED:          April 02, 1999 (19990402)

INTL CLASS:     H01L-029/786; H01L-021/336

#### ABSTRACT

**PROBLEM TO BE SOLVED:** To obtain a method manufacturing stably a TFT having a GOLD structure which realizes both a sufficiently high on-current and a sufficiently low off-current and is excellent in hot carrier endurance.

**SOLUTION:** This manufacturing method includes a process forming a semiconductor layer having a specified shape on a substrate 1 and then forming a gate insulating film 3, a process where the semiconductor layer is doped with impurities by using an impurity obstructing film formed on the gate insulating film 3 as a mask and a low concentration impurity region is formed, a process eliminating the impurity obstructing film and forming a gate electrode 3 having a length extending to the low concentration impurity region, a process anodizing the gate electrode 3 and forming anodic oxidation layers on the side surfaces, a process where the semiconductor layer is doped with impurities by using the anodic oxidation layers as masks and a high concentration impurity region is formed, and a process eliminating the anodic oxidation layers.

**COPYRIGHT:** (C)2000, JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-294787

(P2000-294787A)

(43)公開日 平成12年10月20日(2000.10.20)

(51)Int.Cl.

識別記号

F I

テーマコード(参考)

H 0 1 L 29/786  
21/336

H 0 1 L 29/78

6 1 6 M 5 F 1 1 0

6 1 6 A

6 1 7 J

審査請求 未請求 請求項の数4 O L (全 9 頁)

(21)出願番号 特願平11-95613

(22)出願日 平成11年4月2日(1999.4.2)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 織田 明博

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72)発明者 加藤 純男

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(74)代理人 100103296

弁理士 小池 隆彌

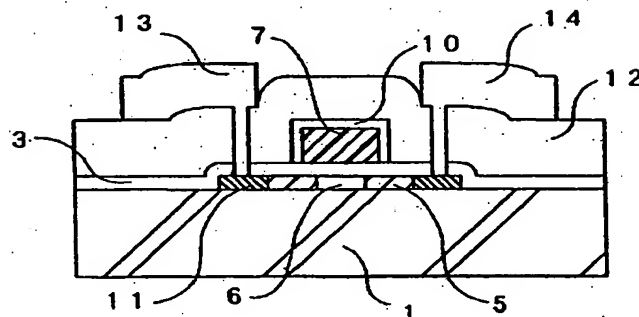
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 十分に高いオン電流と、十分に低いオフ電流を両立させ、かつ、ホットキャリア耐性に優れたGOLD構造を有するTFTを安定的に製造する方法を提供する。

【解決手段】 基板上に所定の形状を有する半導体層を形成し、次いでゲート絶縁膜を形成する工程と、ゲート絶縁膜上に形成された不純物阻止膜をマスクとして半導体層に不純物をドーピングし、低濃度不純物領域を形成する工程と、不純物阻止膜を除去し、低濃度不純物領域に及ぶ長さのゲート電極を形成する工程と、ゲート電極を陽極酸化し、側面に陽極酸化物層を形成する工程と、これらをマスクとして半導体層に不純物をドーピングし、高濃度不純物領域を形成する工程と、陽極酸化物層を除去する工程とを有する。



## 【特許請求の範囲】

【請求項1】 ソース領域、ドレイン領域、チャネル領域、ゲート絶縁膜およびゲート電極を有する半導体装置の製造方法において、  
半導体表面上にゲート絶縁膜を形成する工程と、  
前記ゲート絶縁膜上に、所定形状の不純物阻止膜を形成する工程と、  
前記不純物阻止膜をマスクとして前記半導体に対して不純物を低濃度でドーピングし、低濃度不純物領域を形成する工程と、  
前記不純物阻止膜を除去し、前記ゲート絶縁膜上に導電性材料を成膜する工程と、  
前記導電性材料を前記不純物阻止膜より長い形状に加工してゲート電極を形成する工程と、  
前記ゲート電極を酸化することによって、主として該ゲート電極の側面に酸化物層を形成する工程と、  
前記ゲート電極および前記酸化物層をマスクとして前記半導体に対して不純物を高濃度でドーピングし、高濃度不純物領域を形成する工程と、  
前記酸化物層を除去する工程と、を少なくとも備えることを特徴とする半導体装置の製造方法。

【請求項2】 前記ゲート電極の側面に酸化物層を形成する工程は、該ゲート電極に対して電解溶液中で電流を印加することにより行われる陽極酸化工程であり、該酸化物層は陽極酸化物層であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記ゲート電極と前記酸化物層との境界位置は、前記低濃度不純物領域上の任意の位置に設定されることを特徴とする請求項1または2に記載の半導体装置の製造方法。

【請求項4】 前記ゲート電極の側面に酸化物層を形成する工程後に、該ゲート電極を陽極酸化することによって、該ゲート電極と酸化物層との間にバリア型の陽極酸化物層を形成する工程を備えることを特徴とする請求項1または2に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、絶縁材料またはシリコンウェハ等の上に形成される絶縁ゲート型トランジスタ等のMOS型の半導体装置の製造方法に関し、とりわけガラス転移点が750℃以下のガラス基板上に形成される薄膜トランジスタに適用することができる半導体装置の製造方法に関するものである。

## 【0002】

【従来の技術】 従来、各種の電子機器等にはMOS型の半導体装置が用いられている。その代表的ものとしては、MOSトランジスタ(MOSFET、絶縁ゲート型トランジスタ等とも呼ばれる)がある。また、電子機器のうち、特にアクティブマトリクス型の液晶表示装置やイメージセンサ等を駆動するための半導体素子として広

く用いられている薄膜トランジスタ(以下、TFTと呼ぶ)も、MOSトランジスタと構造上類似する部分を有するため、広義でのMOS型半導体装置に含めることが可能である。

【0003】 特に近年では、半導体素子の小型化、高速化の要求が強まっており、TFTにおいては、非晶質シリコン薄膜を活性層に用いた非晶質シリコンTFTに代わって、より電界効果移動度の高い多結晶シリコン薄膜を用いた多結晶シリコンTFTが開発されている。

【0004】 しかしながら、一般に多結晶シリコン薄膜をMOSトランジスタの活性層に用いると、ドレイン接合の耐圧が低く、また、接合漏れ電流(以下、オフ電流と呼ぶ)が大きくなるという欠点が指摘されている。そして、MOSトランジスタの耐圧向上、またオフ電流低減のために、オフセットゲート構造またはLDD(Lightly doped drain)構造を形成することが有効であることが知られている。

【0005】 オフセットゲート構造は、ゲート電極の端部をチャネル領域と高濃度不純物領域であるソース領域またはドレイン領域の境界部分よりもチャネル領域側へシフトさせ、ゲート電極の端部とソース領域またはドレイン領域の間に不純物が導入されていないノンドープ領域を設けるものである。

【0006】 また、LDD構造は、図7に示すように、チャネル領域と高濃度不純物領域であるソース領域およびドレイン領域との間の一方または両方に、ソース領域およびドレイン領域と同一導電型の低濃度不純物領域を形成するものである。この低濃度不純物領域はLDD領域と呼ばれている。

【0007】 これまでMOSトランジスタを始めとする多くのMOS型半導体装置には、上述したようなLDD構造が広く用いられてきた。LDD領域またはノンドープ領域を形成することにより、チャネル領域とソース領域およびドレイン領域の間になだらかな不純物濃度分布が形成されると共に、ゲート電極端とソース領域端およびドレイン領域端とが離れることにより、オフ電流が低減され、かつ、ソース領域およびドレイン領域近傍での電界が緩和される。

【0008】 しかし、トランジスタの小型化が進展し、それに伴いLDD領域が小さくなると電界の緩和効果が減少する。それによりドレイン領域近傍で高電界が生じ、発生したホットキャリアがLDD領域上のゲート絶縁膜にトラップされ、しきい値電圧等の素子特性が大幅に変動、低下する現象が問題として指摘されている。

【0009】 そこで近年、ホットキャリアに対する耐性を改善するために、LDD領域上にゲート絶縁膜を介してゲート電極を重ねるゲートオーバラップ構造(以下、GOLD構造と呼ぶ)が注目されている。

【0010】 従来のGOLD構造としては、例えば特開平6-13407号公報、特開平6-260646号公

報、特開平8-153875号公報、特開平8-222736号公報、特開平9-45930号公報などに、各種の製造方法が提案されている。

【0011】まず、特開平9-45930号公報にはフォトリソグラフからなる不純物阻止膜を用いてGOLD構造を製造する方法が開示されており、また、特開平8-153875号公報にはゲート電極の側面に形成したシリコンを主成分とする導電性被膜を用いてGOLD構造を製造する方法が開示されており、さらに、特開平6-13407号公報、特開平6-260646号公報、特開平8-222736号公報にはゲート電極に接続またはゲート電極の表面を被覆する導電膜による第2のゲート電極を設けることによりGOLD構造を製造する方法が開示されている。

【0012】

【発明が解決しようとする課題】上述のように、従来のLDD構造はTFTの高耐圧化およびオフ電流低減に顕著な効果がある反面、TFTの駆動電流（以下、オン電流と呼ぶ）が低下してしまうという問題点を有している。従来のLDD構造においては、LDD領域はゲート電極の外側に配置されている。そのためLDD領域はゲート電位による変調を受けることがなく、その分オン電流が低下してしまうのである。特に、ソース領域側にこのLDD領域を設けるとオン電流が大幅に低下する。

【0013】一方、LDD領域の一部分にゲート絶縁膜を介してゲート電極を重ねるGOLD構造によれば、LDD領域もゲート電位によって変調されるため、オン電流を低下させることなく、オフ電流を低減することができる。また、同時に従来のLDD構造において問題視されている、ゲート絶縁膜にホットキャリアがトラップされることによる素子特性の劣化を防止することができる。

【0014】しかしながら、上述した従来のGOLD構造の製造方法のうち、特開平9-45930号公報に示された製造方法では、LDD領域となる低濃度不純物領域を形成する工程とソース領域およびドレイン領域となる高濃度不純物領域を形成する工程とを共にフォトリソグラフ等からなる不純物阻止膜を用いて形成している。そのため、低濃度不純物領域および高濃度不純物領域はゲート電極に対して自己整合的（以下、セルフアラインと呼ぶ）に形成されることがなく、これらの位置的な整合が損なわれることがある。また、不純物阻止膜の露光、現像等、低濃度不純物領域および高濃度不純物領域を形成するためのフォトリソグラフ工程の回数が増加して製造方法が複雑になり、そのことによるTFTの良品率および特性の均一性への影響が懸念される。

【0015】また、特開平8-153875号公報に示された製造方法では、ゲート電極の側面にシリコンを主成分とする導電性被膜によるサイドウォールを形成するようにしている。

【0016】そして、低濃度不純物領域はゲート電極に対してセルフアラインで形成されるが、高濃度不純物領域はサイドウォールに対してセルフアラインで形成するため、低濃度不純物領域へのサイドウォールの重なり量を任意に設定することができない。また、サイドウォールを形成するための成膜工程およびエッチバック工程が必要となる。エッチバック工程におけるエッチング条件の設定および制御が容易でなく、従ってサイドウォールの幅を任意に設定してLDD領域の幅を制御することが困難となることが想像される。

【0017】また、特開平6-13407号公報に示された製造方法では、第1のゲート電極に接続する第2のゲート電極をLDD領域にオーバーラップするようにしており、また、特開平6-260646号公報に示された製造方法では、第1のゲート電極を覆う第2のゲート電極を形成するようにしており、また、特開平8-222736号公報に示された製造方法では、第1のゲート電極を覆う第2のゲート電極を選択CVD法によって形成するようにしている。これらの方法ではゲート電極の構造が複雑となり、工程数が増加したり、第2のゲート電極を形成するための成膜条件の設定および制御が容易でない等の課題を有している。

【0018】以上のように、従来のGOLD構造の製造方法によれば、何れの場合も工程数が増加したり、制御が容易でないと思われる工程を有している等、実用上、とりわけ量産する上で多くの課題を抱えてると言わざるを得ない。

【0019】本発明は、上述したような問題点を解決するものであり、十分に高いオン電流と、十分に低いオフ電流とを両立させ、かつ、ホットキャリア耐性に優れたGOLD構造を有する半導体装置を安定的に製造する方法を提供することを目的としたものである。

【0020】

【課題を解決するための手段】上述した課題を解決するために、本発明の請求項1に記載の半導体装置の製造方法は、ソース領域、ドレイン領域、チャネル領域、ゲート絶縁膜およびゲート電極を有する半導体装置の製造方法において、半導体表面上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に、所定形状の不純物阻止膜を形成する工程と、前記不純物阻止膜をマスクとして前記半導体に対して不純物を低濃度でドーピングし、低濃度不純物領域を形成する工程と、前記不純物阻止膜を除去し、前記ゲート絶縁膜上に導電性材料を成膜する工程と、前記導電性材料を前記不純物阻止膜より長い形状に加工してゲート電極を形成する工程と、前記ゲート電極を酸化することによって、主として該ゲート電極の側面に酸化物層を形成する工程と、前記ゲート電極および前記酸化物層をマスクとして前記半導体に対して不純物を高濃度でドーピングし、高濃度不純物領域を形成する工程と、前記酸化物層を除去する工程と、を少なくとも備

えることを特徴としている。

【0021】また、このときの前記ゲート電極の側面に酸化物層を形成する工程は、該ゲート電極に対して電解溶液中で電流を印加することにより行われる陽極酸化工程であり、該酸化物層は陽極酸化物層であることを特徴とする。

【0022】また、このときの前記ゲート電極と前記酸化物層との境界位置は、前記低濃度不純物領域上の任意の位置に設定されることを特徴とする。

【0023】さらに、このときの前記ゲート電極の側面に酸化物層を形成する工程後に、該ゲート電極を陽極酸化することによって、該ゲート電極と酸化物層との間にバリア型の陽極酸化物層を形成する工程を備えることを特徴とする。

【0024】以下、本発明の作用について説明する。

【0025】本発明の半導体装置の製造方法によれば、ゲート絶縁膜上に不純物阻止膜を形成し、不純物を低濃度でドーピングした後、不純物阻止膜を除去してゲート電極となる導電性材料を堆積し、不純物阻止膜より長いパターン、具体的には必要なチャネル領域の長さ、必要な低濃度不純物領域の長さ、および位置合わせの時のずれ量を足し合せた長さになるように形成した。このように、フォトリソグラフ工程における位置ずれを考慮したパターンを形成することで、フォトリソグラフ工程において、多少の位置ずれが生じても確実、かつ比較的容易にゲート電極が低濃度不純物領域上に重なる構造を得ることができる。

【0026】また、このようなゲート電極が低濃度不純物領域上に重なる構造は、構造上、従来のLDD構造に比べて、LDD領域が存在することによるオン電流の低下が少ないという利点を有している。そのため、多少低濃度不純物領域が長くなっても特性に影響は与えない。むしろ従来のLDD構造に比べて、低濃度不純物領域をより長くすることが可能であり、よりオフ電流を抑制することができるようになる。

【0027】また、本発明の半導体装置の製造方法によれば、導電性材料をパターニングしてゲート電極を形成した後、主としてゲート電極の側面に酸化物層を形成し、それらをマスクとして不純物を高濃度でドーピングするようにした。そのため、低濃度不純物領域と高濃度不純物領域との位置をセルフアラインによって決定することができる。

【0028】また、本発明の半導体装置の製造方法によれば、主としてゲート電極の側面に形成される酸化物層の厚さを制御することにより、低濃度不純物領域の長さを任意に設定することができる。そのため、オフ電流を必要だけ抑制することが可能である。

【0029】また、本発明の半導体装置の製造方法によれば、主としてゲート電極の側面に形成される酸化物層を、電解溶液中でゲート電極に電流を印加する陽極酸化

法によって形成することができる。そのため、酸化物層の厚さを制御することが容易に行え、かつ簡便な装置で酸化物層を形成することができる。

【0030】このように、本発明の半導体装置の製造方法によれば、従来のGOLD構造を有する半導体装置の製造方法に比べて、フォトリソグラフによる位置合わせの回数を少なくすることが可能となっている。そのため、得られる半導体装置の良品率および特性の均一性を安定、かつ向上させることが可能となっている。

【0031】また、本発明の半導体装置の製造方法によれば、得られる半導体装置がGOLD構造を有しているため、従来のLDD構造で見られたようなLDD領域上のシリコン-酸化膜界面またはその近傍の酸化膜中に発生した負電荷による素子劣化が、ゲート電圧によってLDD領域表面に誘起された電子で遮蔽されるために現れにくくなり、ホットキャリアに対する耐性を著しく改善することが可能となっている。

【0032】

【発明の実施の形態】以下、本発明の半導体装置に係る好適な実施形態について、図面を用いて詳細に説明する。なお、本実施形態では、半導体装置として、ガラス基板等の上に製造される多結晶シリコンTFTを例示して説明する。

【0033】（実施の形態1）図1乃至図4は、本実施形態の半導体装置である多結晶シリコンTFTの製造工程を示す概略断面図であり、図5は、本実施形態の多結晶シリコンTFTの構成を示す概略断面図である。

【0034】まず、図5に示すように、本実施形態の多結晶シリコンTFTによれば、ゲート電極7が低濃度不純物領域5の一部に重なるように構成されている。このことにより、高電界が発生することによって生じるホットキャリアによる素子特性の劣化が抑制される。

【0035】以下、本実施形態の多結晶シリコンTFTの製造工程について図面を用いながら詳細に説明する。

【0036】まず、図1(a)に示すように、ガラスまたは石英等からなる基板1の上に、プラズマCVD法、LPCVD法またはスパッタリング法等によって非晶質シリコン膜を10nm~500nm、好ましくは20nm~100nm程度堆積し、これを550℃~600℃の温度で24時間熱処理を行って多結晶シリコン膜を形成する。なお、非晶質シリコン薄膜を堆積する前に、酸化シリコン膜等からなる下地膜を形成しておいてもよい。また、この多結晶シリコン膜の形成工程は、堆積した非晶質シリコン薄膜に対してエキシマレーザ等を照射することによって行ってもよい。

【0037】このようにして形成された多結晶シリコン膜を所定の形状、例えば島状にパターニングしてTFTの半導体層2を形成した。

【0038】続いて、この半導体層2を含む基板1上にプラズマCVD法によって厚さ70nm~150nmの



酸化シリコン膜を堆積し、ゲート絶縁膜3を形成した。その後、必要とされるTFTのチャネル領域を確保できるように所定の長さの不純物阻止膜4を形成する。具体的には、フォトリソストを所定の長さにパターニングして形成した。

【0039】続いて、この不純物阻止膜4をマスクにして、半導体層2に不純物を低濃度にドーピングした。具体的には、n型TFTであれば磷(P)、p型TFTであればボロン(B)等の不純物イオンを電界加速して、半導体層2中にドーピングした。

【0040】次に、図1(b)に示すように、使用済みになった不純物阻止膜4を剥離する。その後、ドーピングした不純物を活性化するために、550℃～600℃の温度で12時間の熱処理を行った。これにより、低濃度不純物領域5が形成され、不純物阻止膜4によってマスクされて不純物がドーピングされなかった領域がチャネル領域6となる。なお、この活性化工程はレーザ照射によって行っても良い。その場合には、チャネル領域6もレーザ照射にさらされるため、レーザエネルギーは多結晶シリコン膜が溶融しない程度のエネルギーが好ましい。

【0041】次に、図2(a)に示すように、ゲート絶縁膜3上に陽極酸化が可能な材料からなる被膜を堆積し、所定の形状にパターニングしてゲート電極7を形成する。この被膜の材料としては、陽極酸化が可能なアルミニウム、タンタル、チタン、シリコン等、またはこれらの合金が好ましい。本実施形態では、アルミニウムを主成分とするアルミニウム合金からなる金属膜をスパッタ法で成膜した。そして、フォトリソグラフおよびエッチングにより、金属膜を図1(a)で用いた不純物阻止膜4よりも長くなるようにパターニングしてゲート電極7を形成した。

【0042】具体的には、ゲート電極7の長さを必要なチャネル領域6の長さ、必要な低濃度不純物領域5の長さおよび位置合わせの時のずれ量を足し合せた長さに設計しておく。このように設計しておけば、図1(a)で形成した低濃度不純物領域5に対して、最終的に得られるゲート電極7が少なくとも重なり合うようにすることができる。

【0043】このようなGOLD構造は、構造上オン電流の低下が抑えられるため、低濃度不純物領域5の長さをより長く設定することが可能である。従って、チャネル領域6および低濃度不純物領域5に対してゲート電極7の位置合わせを行う際には、予め多少の位置ずれを考慮した長さのパターンを用いることができる。そのため、本発明の製造方法によれば、最終的に得られるゲート電極7がチャネル領域6および低濃度不純物領域5から逸脱することはない。

【0044】次に、図2(b)に示すように、ゲート電極7上にマスク膜8を設けた状態で、ゲート電極7に電

解溶液中で電流を印加することによって、ゲート電極7の側面に多孔質陽極酸化物層9を形成した。この陽極酸化工程は、1%～20%のクエン酸またはシュウ酸、磷酸、クロム酸、硫酸等の酸性水溶液を用いて行い、1V～30V程度の低電圧で0.1μm～5μmの厚い陽極酸化物層9を形成することができる。なお、この陽極酸化物層9の厚さは、陽極酸化時間で制御することができる。

【0045】本実施形態では、シュウ酸溶液中で電圧を4Vとし、20分～80分間陽極酸化することで、0.3μm～1μmの厚さの多孔質陽極酸化物層9を形成した。また、マスク膜8としてはゲート電極7をパターニングした際のフォトリソストをそのまま用いることができる。

【0046】なお、マスク膜8の形成前に、陽極酸化法によって印加電圧5V～40Vの低電圧で厚さ5nm～50nmの酸化アルミニウムを表面に形成しておくこと、マスク膜8との密着性が向上し、後の陽極酸化工程においても、多孔質陽極酸化物層9を側面のみに形成するうえで有効であった。

【0047】次に、図3(a)に示すように、マスク膜8を除去して、再び電解溶液中において、ゲート電極7に電流を印加した。本実施形態では、1%～10%の酒石酸、硼酸、硝酸が含まれたエチレングリコール溶液中でゲート電極7に50V～200Vの電圧を印加した。この工程によってゲート電極7の側面および上面にバリア型陽極酸化物層10を形成することができた。

【0048】この工程は多孔質陽極酸化の後の工程であるにもかかわらず、多孔質陽極酸化物層9の外側ではなく、ゲート電極7と多孔質陽極酸化物層9の間にバリア型陽極酸化物層10が形成された。形成されたバリア型陽極酸化物層10の厚さは印加電圧に比例する。本実施形態では、80Vの印加電圧によって100nm程度のバリア型陽極酸化物層10を形成した。

【0049】次に、図3(b)に示すように、ゲート電極7、多孔質陽極酸化物層9、バリア型陽極酸化物層10をマスクにして、不純物を半導体層2に高濃度にドーピングした。具体的には、n型TFTであれば磷(P)、p型TFTであればボロン(B)等の不純物イオンを電界加速して半導体層2中にドーピングする。

【0050】本発明の製造方法によれば、ゲート電極7を形成後、電解溶液中でゲート電極7に電流を印加することによって、主としてゲート電極7の側面に第1の陽極酸化物層9を形成し、それらをマスクにして高濃度不純物領域11を形成する。従って、低濃度不純物領域5と高濃度不純物領域11との境界位置をセルフアラインで決定することができる。

【0051】また、ゲート電極7の側面に形成される第1の陽極酸化物層9の厚みを制御することにより、低濃度不純物領域5の長さを任意に設定することができる。

従って、オフ電流を抑制したい場合には、第1の陽極酸化物層9を厚く形成すればよく、特性の最適化を容易に行える好適な製造方法であるといえる。

【0052】次に、図4(a)に示すように、多孔質陽極酸化物層9を除去した。エッチャントとしては、磷酸系の溶液、例えば、磷酸、酢酸、硝酸の混酸等が好ましい。この多孔質陽極酸化物層9は、磷酸系のエッチャントによって選択的にエッチングされる。上述した磷酸系のエッチャントにおける多孔質陽極酸化物層9のエッチングレートは、バリア型陽極酸化物層10のエッチングレートの10倍以上であるため、バリア型陽極酸化物層10は、磷酸系のエッチャントでは実質的にエッチングされない。この結果、多孔質陽極酸化物層9のエッチングを行っても、内側のゲート電極7を保護することが可能となっている。

【0053】その後、不純物を活性化するために、レーザー照射を行った。これにより高濃度不純物領域11が形成された。この高濃度不純物領域11はソース領域およびドレイン領域となり、図2(b)で形成した多孔質陽極酸化膜9によってマスクされた部分は、低濃度不純物領域5として残存してLDD領域となる。

【0054】最後に、図4(b)に示すように、CVD法により例えば600nmの膜厚で酸化シリコン膜を堆積して層間絶縁膜12を形成した。更に、ソース領域およびドレイン領域11上のゲート絶縁膜3および層間絶縁膜12にコンタクトホールを形成し、続いてスパッタリング法により、例えば600nmの膜厚でアルミニウムを堆積した後、所定の形状にパターニングしてソース電極13およびドレイン電極14を形成した。そして、200℃～500℃でシンタリングを行った。この様にしてGOLD構造を有する多結晶シリコンTFTを製造した。

【0055】図示していないが、この様にして製造したTFTを液晶表示装置等の画像表示装置に用いる場合は、この後、ドレイン電極14に所定の形状を有するITO等からなる透明導電膜または金属膜を接続して画素電極を形成する。

【0056】以上のように、本発明の製造方法によると、GOLD構造を有するTFTを簡便な工程で、安定して製造することができる。また、本発明の製造方法によるGOLD構造TFTは、LDD領域5上にゲート電極7が存在するので、従来のLDD構造TFTで見られたような、LDD領域上のシリコン-酸化膜界面、またはその近傍の酸化膜中に発生した負電荷による素子劣化が、ゲート電圧によってLDD領域表面に誘起された電子で遮蔽され現れにくくなる。

【0057】図6は、本実施形態のGOLD構造TFTと従来のLDD構造TFTによるストレス試験実施後の特性を比較した図面である。この図6によると、従来のLDD構造TFTでは、特性の劣化によってオン電流が

低下していることが分かる。このように本実施形態における半導体装置の製造方法によるGOLD構造TFTの特性は、オン電流が十分に得られ、オフ電流が十分に少なく、かつ、ホットキャリア耐性に優れたものであった。

【0058】なお、本実施形態は、半導体装置の一例としてガラス基板等の絶縁基板上に形成されるTFTを例示して説明したものであるが、本発明はこれに限定されるものではない。従って、本実施形態で示された導電性材料、絶縁膜等の材質、膜厚または成膜方法は、製造しようとする半導体装置の仕様によって適宜決定すればよい。

【0059】また、本実施形態で示したゲート電極の側面に酸化物層を形成する工程は、陽極酸化工程に限定されるものではない。例えば、酸化雰囲気中で熱処理することによって、ゲート電極の側面に酸化物層を形成するようにしても差し支えない。但し、その場合にはゲート電極は勿論のこと、基板を含むゲート電極以外の部位が、熱処理に耐えうるような材質である等、十分な配慮がなされている必要があることは言うまでもない。

【0060】また、本発明は、本実施形態で示したTFT以外、例えば半導体基板に形成されるMOSトランジスタに適用することができ、TFTの場合と同様の作用、効果を奏するものである。

#### 【0061】

【発明の効果】上述したように、本発明の半導体装置の製造方法によれば、GOLD構造を有する半導体装置を製造する際、低濃度不純物領域を形成した半導体層上に、その長さが低濃度不純物領域にまで及ぶゲート電極をゲート絶縁膜を介して形成した後、主にその側面に陽極酸化物層を形成し、それらをマスクとして高濃度不純物領域を形成するようにしていることによって、低濃度不純物領域と高濃度不純物領域とがセルフアラインで形成することが可能になり、かつ陽極酸化物層の厚みによってゲート電極と低濃度不純物領域との重なり量を制御することが可能になる。よって、GOLD構造を有する半導体装置の特性の最適化を容易に行うことが可能となっている。

【0062】また、本発明の半導体装置の製造方法は、フォトリソグラフ工程の回数が少ないため、各工程における位置合わせによって生じる位置ずれ量を最小限に止めることができ、得られる半導体装置の良品率および特性の均一性を安定、かつ向上させることが可能となっている。

【0063】このように、本発明の半導体装置の製造方法は、GOLD構造を有する半導体装置を製造する際の課題であった工程の簡略化および素子の仕上がり精度の両立を実現したものであり、今後の情報化社会に欠かすことのできない電子機器、とりわけ液晶表示装置あるいはそれを搭載した携帯機器などの性能や付加価値の向上

に大きな効果を奏するものである。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の製造方法を示す工程図である。

【図2】本発明に係る半導体装置の製造方法を示す工程図である。

【図3】本発明に係る半導体装置の製造方法を示す工程図である。

【図4】本発明に係る半導体装置の製造方法を示す工程図である。

【図5】本発明に係る半導体装置を示す断面図である。

【図6】本発明に係る半導体装置および従来の半導体装置の特性を示す比較図である。

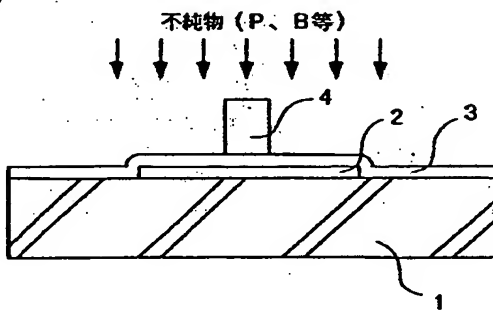
【図7】従来の半導体装置を示す断面図である。

【符号の説明】

- |    |            |
|----|------------|
| 1  | 基板         |
| 2  | 半導体層       |
| 3  | ゲート絶縁膜     |
| 4  | 不純物阻止膜     |
| 5  | 低濃度不純物領域   |
| 6  | チャネル領域     |
| 7  | ゲート電極      |
| 8  | マスク膜       |
| 9  | 多孔質陽極酸化物層  |
| 10 | バリア型陽極酸化物層 |
| 11 | 高濃度不純物領域   |
| 12 | 層間絶縁膜      |
| 13 | ソース電極      |
| 14 | ドレイン電極     |

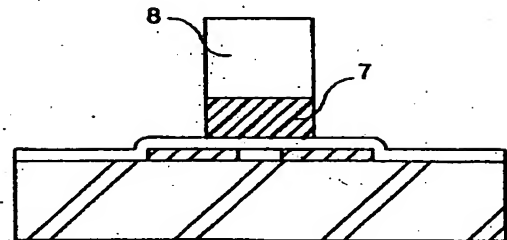
【図1】

(a)

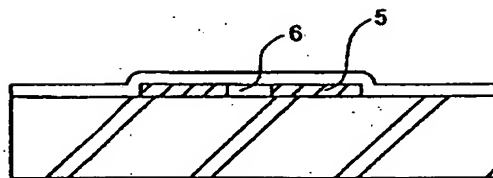


【図2】

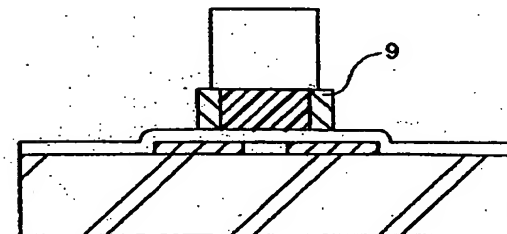
(a)



(b)

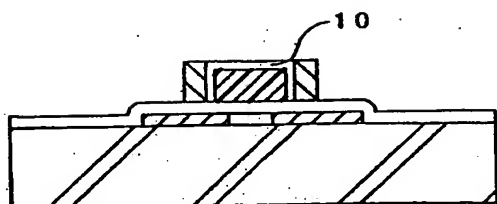


(b)

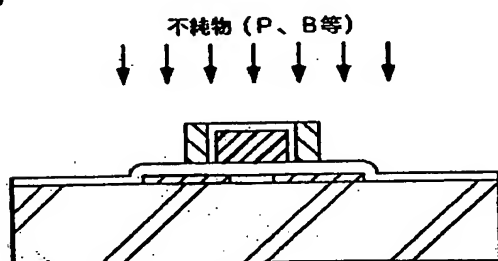


【図3】

(a)

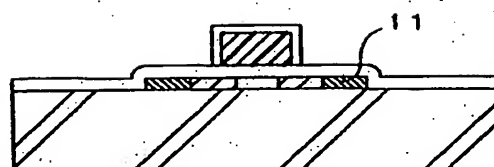


(b)

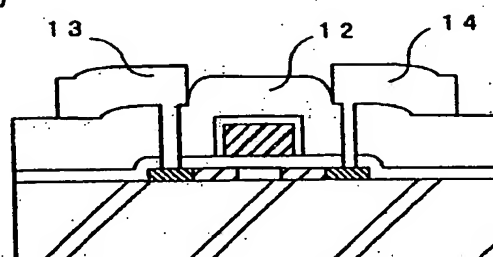


【図4】

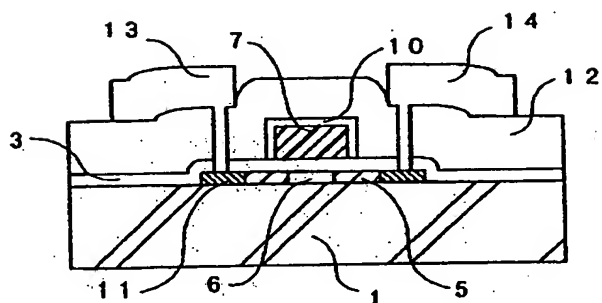
(a)



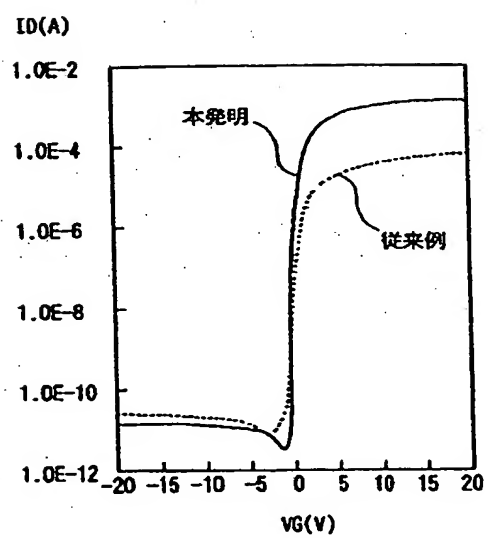
(b)



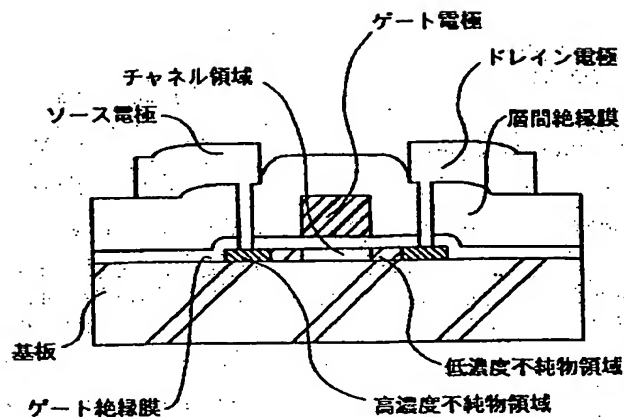
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 小川 裕之  
大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

Fターム(参考) 5F110 AA06 AA13 AA14 AA16 BB01  
BB10 CC02 DD02 DD03 EE03  
EE04 EE05 EE06 EE09 EE34  
EE44 FF02 FF30 GG02 GG13  
GG25 GG43 GG45 GG47 HJ01  
HJ13 HJ23 HL03 HL23 HL27  
HM14 HM15 NN02 NN03 NN04  
NN23 NN35 PP03 QQ11